

⑯ 日本国特許庁(JP)

⑰ 実用新案出願公開

⑱ 公開実用新案公報(U)

昭63-158028

① Int.Cl.⁴

識別記号

庁内整理番号

③ 公開 昭和63年(1988)10月17日

H 03 H 17/02

C-6903-5J

審査請求 未請求 (全 頁)

④ 考案の名称 デジタル・フィルタ装置

① 実 願 昭62-49369

② 出 願 昭62(1987)4月1日

⑦ 考 案 者 田 中 美 昭 神奈川県横浜市神奈川区守屋町3丁目12番地 日本ビクタ
ー株式会社内

⑧ 考 案 者 林 宏 神奈川県横浜市神奈川区守屋町3丁目12番地 日本ビクタ
ー株式会社内

⑨ 考 案 者 木 村 秀 樹 神奈川県横浜市神奈川区守屋町3丁目12番地 日本ビクタ
ー株式会社内

⑩ 出 願 人 日本ビクター株式会社 神奈川県横浜市神奈川区守屋町3丁目12番地

⑪ 代 理 人 弁理士 今 間 孝 生

明 細 書

1. 考案の名称

デジタル・フィルタ装置

2. 実用新案登録請求の範囲

所望のフィルタ特性を指定する特性入力部と、デジタル・データの入力部と、入力デジタル・データのサンプリング周期を検出する手段と、デジタル・データの出力部と、前記の特性入力部で指定された情報に応じてデジタル・フィルタの係数データを設定するデジタル・フィルタの係数データ設定手段と、前記したデジタル・フィルタの係数データ設定手段により前記したデジタル・フィルタの係数データを設定するデジタル・フィルタの係数データ設定部と、前記したデジタル・フィルタの係数データを記憶する書換可能な係数メモリと、前記のデジタル・フィルタの係数データ設定部に設定されたデジタル・フィルタの係数データを前記の書換可能な係数メモリに転送するように制御する制御手段と、前記の書換可能な係数メモリに記憶された前記したデジタル・フィルタの

係数データを用いてデジタル信号に演算を施こして得た演算結果を出力するデジタル信号演算手段とを有するとともに、入力デジタル・データのサンプリング周期の検出結果に応じて、デジタル・フィルタの係数データ設定部に設定されていた一方のサンプリング周期を有するデジタル・データと対応するデジタル・フィルタの係数データを前記の書換可能な係数メモリに転送するように前記の制御手段を制御する手段と、デジタル・フィルタの係数データ設定部から書換可能な係数メモリに転送された前記した一方のサンプリング周期を有するデジタル・データと対応するデジタル・フィルタの係数データとは別の他方のサンプリング周期のデジタル・データに対応しているデジタル・フィルタの係数データを、前記したデジタル・フィルタの係数データ設定部に設定するように前記デジタル・フィルタの係数設定手段を制御する手段とを備えてなるデジタル・フィルタ装置

3. 考案の詳細な説明

(産業上の利用分野)

本考案はデジタル・フィルタ装置、特に、PCMオーディオ信号の信号処理回路等に好適に用いられるデジタル・フィルタ装置に関する。

(従来の技術)

音響信号の伝送，記録再生を高い忠実度で実現するための手段としてデジタル技術が適用されるようになり、近年になってPCMオーディオ信号による各種の伝送，記録再生方式が実用化されていることは周知のとおりである。

(考案が解決しようとする問題点)

ところで、実用化されているPCMオーディオ信号による各種の伝送，記録再生方式において採用されている信号のフォーマットは、それぞれ異っており、例えば、アナログ・デジタル変換及びデジタル・アナログ変換のためのサンプリングパルスの繰返し周波数について着目してみても、32 KHz，44.1 KHz，48 KHz (EIA J規格) というように、それぞれ異った周波数値に定められている。

さて、各種のデジタル・オーディオ信号処理回

路としては、その構成部分としてデジタル・フィルタ回路を備えて構成されているものが多いが、デジタル・フィルタ回路はデジタル・データのサンプリング周期に応じてフィルタ係数を変化させることが必要とされるから、信号処理の対象にされているデジタル・データとしてサンプリング周期を異にしているような各種の信号のフォーマットに従うデジタル・データが供給されるようなデジタル・オーディオ信号処理回路では、信号処理の対象にされているデジタル・データのサンプリング周期に対応して、その構成部分として使用されているデジタル・フィルタ回路のフィルタ係数が変更されなければならない。

ところが、前記したデジタル・フィルタ回路のフィルタ係数の変更の際には、相当に長い時間を要するために、従来はデジタル・フィルタ回路のフィルタ係数の変更時に出力信号が生じないようにミュートイングを行って、信号のフォーマットが異なるデジタル・データの切替時に発生する雑音を防止するようにしていたが、それにより信

号のフォーマットが異なるデジタル・データの切換時には再生音が途切れるという望ましくない現象が生じており、前記の問題点の改善が求められた。

(問題点を解決するための手段)

本考案は所望のフィルタ特性を指定する特性入力部と、デジタル・データの入力部と、入力デジタル・データのサンプリング周期を検出する手段と、デジタル・データの出力部と、前記の特性入力部で指定された情報に応じてデジタル・フィルタの係数データを設定するデジタル・フィルタの係数データ設定手段と、前記したデジタル・フィルタの係数データ設定手段により前記したデジタル・フィルタの係数データを設定するデジタル・フィルタの係数データ設定部と、前記したデジタル・フィルタの係数データを記憶する書換可能な係数メモリと、前記のデジタル・フィルタの係数データ設定部に設定されたデジタル・フィルタの係数データを前記の書換可能な係数メモリに転送するように制御する制御手段と、前記の書換可能

な係数メモリに記憶された前記したデジタル・フィルタの係数データを用いてデジタル信号に演算を施こして得た演算結果を出力するデジタル信号演算手段とを有するとともに、入力デジタル・データのサンプリング周期の検出結果に応じて、デジタル・フィルタの係数データ設定部に設定されていた一方のサンプリング周期を有するデジタル・データと対応するデジタル・フィルタの係数データを前記の書換可能な係数メモリに転送するように前記の制御手段を制御する手段と、デジタル・フィルタの係数データ設定部から書換可能な係数メモリに転送された前記した一方のサンプリング周期を有するデジタル・データと対応するデジタル・フィルタの係数データとは別の他方のサンプリング周期のデジタル・データに対応しているデジタル・フィルタの係数データを、前記したデジタル・フィルタの係数データ設定部に設定するように前記デジタル・フィルタの係数設定手段を制御する手段とを備えてなるデジタル・フィルタ装置を提供するものである。

(実施例)

以下、添付図面を参照して本考案のデジタル・フィルタ装置の具体的な内容を詳細に説明する。

第1図は本考案のデジタル・フィルタ装置の一実施例のブロック図、第2図はフィルタ特性の一例図、第3図はデジタル・シグナル・プロセッサの一例構成を示すブロック図、第4図は周波数帯域毎のフィルタ特性を表示するための表示部における表示状態の一例を示す図、第5図は係数設定部と係数メモリにおけるメモリマップの一例図、第6図はデジタル・フィルタ装置の一例特性を説明するための図、第7図はデジタル・シグナル・プロセッサの動作によって得られるべきフィルタの構成を示すブロック図、第8図は本考案のデジタル・フィルタ装置の動作説明用のタイミングチャート、第9図及び第10図は中央処理装置(CPU)の動作説明用のフローチャートである。

本考案のデジタル・フィルタ装置の一実施例のブロック図を示している第1図において、1はデジタル信号の入力端子であり、この入力端子1に

はデジタル・フィルタ装置において信号処理の対象にされるべき所定のフォーマットのデジタル信号となされたオーディオ信号(以下、単にデジタル信号と記載する)が供給される。

前記した入力端子1に供給されたデジタル信号は受信部RDで復調される。PLLはフェーズ・ロックド・ループであり、このフェーズ・ロックド・ループPLLは受信部RDで復調して得たデジタル・データ中のクロックと、受信部RD中で発生されたクロックとの位相を同期させるために用いられる。なお、デジタル・フィルタ装置の構成に応じて、入力信号がシリアル信号となされたり、あるいはパラレル信号となされたりされるものであることはいうまでもない。

前記の受信部RDで復調された信号、例えば、NRZ信号は、デジタル・シグナル・プロセッサDSP_ℓ、DSP_rに供給される。デジタル・シグナル・プロセッサDSP_ℓ、DSP_rとしては、例えば第3図に示されているような構成態様のものを使用することができる。

なお、第1図中に示されているデジタル・シグナル・プロセッサDSP_ℓ、DSP_rと、第3図に具体的に示されているデジタル・シグナル・プロセッサDSP_ℓ、DSP_rとは、両者の対応関係が明らかとなるように、両者における対応する入出力端子について、同一の符号a～hを付してある。

デジタル・シグナル・プロセッサDSP_ℓは、ステレオ信号における左チャンネル信号に対して特性入力部CIDに設定された所望のフィルタ特性(例えば第2図に示されているような通過帯域特性…図中のf_cは帯域中心周波数)を実現すべく所定のデジタル・フィルタ演算を行って所定のデジタル・フィルタとして機能するような動作を行い、また、デジタル・シグナル・プロセッサDSP_rは、ステレオ信号における右チャンネル信号に対して特性入力部CIDに設定された所望のフィルタ特性を実現すべく所定のデジタル・フィルタ演算を行って所定のデジタル・フィルタとして機能するように動作するものであるが、前記し

た2つのデジタル・シグナル・プロセッサDSP_ℓ, DSP_rは同じ構成で、かつ、動作態様も同じものが使用されるから、以下の説明においては、前記した2つのデジタル・シグナル・プロセッサDSP_ℓ, DSP_rに共通な事項について記述される場合に、両者の区別をしないでデジタル・シグナル・プロセッサDSPのように添字のℓ, rを省いた状態で説明が行われている。

特性入力部CIDには、デジタル・フィルタ装置で得ようとしている所望のフィルタ特性を指定するための入力手段、例えば、複数個のスイッチが設けられている。本考案のデジタル・フィルタ装置が、例えば、オーディオ信号の特定の周波数帯域の信号成分の増強減衰を行うような目的のために用いられるものであった場合における前記の入力手段としては、信号成分の増強減衰が行われるべき複数の周波数帯域毎のフィルタ特性の変化(第6図には通過過域の中心周波数 f_c が、それぞれ $f_1, f_2 \dots f_n$ であるような複数個の帯域通過濾波器における特性が図中の矢印のように変化さ

れることを示している)を指定するための複数個の入力手段が設けられるのである。

D P A は表示部であり、この表示部 D P A には例えば第 4 図に示されているように、複数の周波数帯域毎にそれぞれ複数個の表示素子(例えば、発光ダイオード)が配列されていて、前記した特性入力部 C I D で設定された各周波数帯域毎のフィルタ特性(振幅)を前記した表示素子の動作状態の如何(発光ダイオードの点滅状態)によって容易に知ることができるようにされている。

第 4 図において $f_1, f_2 \dots f_n$ は複数に分割された各異なる周波数帯域における中心周波数値(第 6 図中の $f_1, f_2 \dots f_n$ と対応している)を示したものであり、また、第 4 図中に示されている各帯域の中心周波数値 $f_1, f_2 \dots f_n$ の上方に縦方向に並べて図示している丸印が表示素子である。そして、第 4 図中では表示素子が発光ダイオードであったとした場合に、黒丸印で示されているものが発光状態、白丸印で示されているものが消灯状態をそれぞれ現わすというような表示の態様で図示

しているが、表示部 D P A では第 4 図に例示したように前記した特性入力部 C I D に設定された各周波数帯域毎のフィルタ特性(振幅)の表示を行うことができる。

C P U は中央演算処理装置であり、この中央演算処理装置 C P U はリードオンリーメモリ R O M とランダムアクセスメモリ R A M とを備えており、前記した特性入力部 C I D に設定された各周波数帯域毎のフィルタ特性が、デジタル・フィルタ装置に供給された入力デジタル信号に与えられるように、前記したデジタル・シグナル・プロセッサ D S P でデジタル・フィルタ演算が行われるように制御したり、表示部 D P A に所定の表示がなされるようにしたり、その他、デジタル・フィルタ装置の各部の動作の制御を行う。

また、第 1 図において S T D はシリアルコードの転送部、S C G はクロック信号の発生回路、S E L はデータ・セレクタ、T D は送信部、2 は出力端子である。

デジタル・シグナル・プロセッサ D S P の具体的

な構成例を示している第3図において、SDIはシリアル・データの入力回路、IBは入力バッファ、NC-RAMは係数RAM、TBは転送バッファ、PCDはパラメータ制御部、P-RAMはプログラムRAM、SLOはシリアルデータの出力回路、SCIはシリアルコード・インターフェース、D-RAMはデータRAMであり、また、FN-ROMは定数のメモリ用ROM、MULは乗算器、ACCはアキュムレータ、REGはシフタ付レジスタ、OBは出力バッファである。

前記した第3図示のデジタル・シグナル・プロセッサDSPにおける定数のメモリ用ROM(FN-ROM)と乗算器MULと、アキュムレータACCと、シフタ付レジスタREG、及び出力バッファOBなどからなる構成部分は、良く知られた回路構成であるとともに、本考案の説明には直接に関係しないから、その詳細な説明は省略する。

前記したプログラムRAM(P-RAM)は、デジタル・シグナル・プロセッサDSPが実行すべきプログラムを予め記憶していて、乗算係数 $a_{10} \sim$

b_{n2} 等のデータを記憶することにより係数メモリとして機能する係数RAM(NC-RAM)から、これらのデータを乗算器MULに供給する。

シリアルコード・インターフェースSCIはシリアルコード入力端子cおよびシリアルコード出力端子dを備えており、シリアルコードタイミング入力端子eからのクロック信号及び同期信号によってシリアルコード入力端子cからデータを入力したりシリアルコード出力端子dからデータを出力したりする。

前記したパラメータ制御部PCDは、シリアルコード・インターフェースSCIからのデータをプログラムRAM(P-RAM)および転送バッファTBに識別して送るとともに、転送バッファTBから転送タイミングと転送数とを指定する制御信号Ts, Twを出力する。gはパラメータ制御部PCDのトリガ入力端子であり、パラメータ制御部PCDでは前記したトリガ入力端子gに供給された外部からのトリガ(同期信号)入力によって転送タイミングが決定された制御信号Tsを発生

する。

シリアル・データの入力回路 S D I はシリアルデータ入力端子 a からのオーディオ入力データを直並列変換して、入力バッファ I B を介してデータ R A M (D - R A M) に供給する。図中の f はシリアルデータ入力およびシリアルデータ出力のタイミングをきめるために、シリアル・データの入力回路 S D I とシリアル・データの出力回路 S D O とに供給するデータクロック信号 B C L K とチャンネル識別信号 L R C K との入力端子である。

第 7 図は、第 1 図に示されている本考案のデジタル・フィルタ装置におけるデジタル・シグナル・プロセッサ D S P の演算動作によって得ようとしているフィルタ特性を得ることのできるデジタル・フィルタを具体的な回路構成の形で表わした図であって、この第 7 図において 3 は入力端子、4 は単位遅延演算子、5 は乗算回路、6 は加算回路、7 は出力端子であり、第 7 図に示されているフィルタは同一構成の n 個のバイクウッドフィルタ部 F L T 1 ~ F L T n を n 段縦続接続したデジタル・

フィルタを構成している。

次に、第9図を参照してフィルタ特性の切換えについて説明すると次のとおりである。すなわち、フィルタ特性を切換える場合には、デジタル・シグナル・プロセッサDSPを実質上構成しているフィルタの係数 $a_{10} \sim b_{n2}$ に対応した係数データを切換えることによって行うのであり、前記の切換え動作の制御は中央演算処理装置CPUによって行われる。

前記した中央演算処理装置CPUはリードオンリーメモリROM及びランダムアクセスメモリRAMからの制御信号に基づいて、第9図及び第10図示にそれぞれ示されているフローチャートに示されているメインルーチン(第9図)と割込ルーチン(第10図)に従って動作する構成とされている。前記の割込ルーチンは、チャンネル・ステータス(Cビット)のブロック周期内に発生される。

まず、スタートでメイン・ルーチンが開始され、帯域カウンタIがセットされる(第9図ステップ100)帯域(バンド)Iの設定値を読み(ステップ

101)変更が行われているかどうかを判断し(ステップ102)、NOならばある時間だけ待ち(ステップ106)、帯域カウンタIをインクリメント(ステップ109)し、バンド数がNを越えていなければステップ101にもどり、越えていればステップ100にもどる(ステップ110のYES)。

前記のように(ステップ1)で読んだ帯域(バンド)Iの設定値により、帯域が変更されていると判断(ステップ102のYES)されたときは、その特性係数を選択(ステップ103)して係数設定部(第3図中の転送バッファTB)に書込み(ステップ104)、切換パルスを発生して(ステップ105)前記した係数設定部(第3図中の転送バッファTB)に書込まれた特性係数を書換可能なメモリ(第3図中の係数RAM…NC-RAM)に転送し、前記の切換パルスにより係数設定部(第3図中の転送バッファTB)から書換可能なメモリ(第3図中の係数RAM…NC-RAM)に転送された特性係数(一方のサンプリング周波数に対応

している特性係数)とは別の他方のサンプリング周波数 f_s に対応している特性係数を選択し(ステップ107)、係数設定部(第3図中の転送バッファTB)に書込み(ステップ108)、帯域カウンタIをインクリメント(ステップ109)し、バンド数がNを越えていなければステップ101にもどり、越えていればステップ100にもどる(ステップ110のYES)。

次に、第10図に示されている割込ルーチンでは、デジタル・データを取込み(第10図のステップ201)、デジタル・データにおけるサンプリング周波数 f_s が、それまでのサンプリング周波数 f_s と同じか否かを判断し(ステップ202)、YESの場合はリターンし、NOならば係数設定部(第3図中の転送バッファTB)に既に設定されている特性係数に対応している方のサンプリング周波数 f_s かどうかの判断を行い(ステップ204)、YESならば切換パルスを発生して(ステップ205)、前記した係数設定部(第3図中の転送バッファTB)に書込まれた特性係数を書換可能なメ

メモリ(第3図中の係数RAM…NC-RAM)に転送してリターンし、NOならば特性係数の選択を行い(ステップ208)、係数設定部(第3図中の転送バッファTB)に書込み(ステップ209)、切換パルスを発生して(ステップ210)、前記した係数設定部(第3図中の転送バッファTB)に書込まれた特性係数を書換可能なメモリ(第3図中の係数RAM…NC-RAM)に転送し、また、イニシャライズ時のサンプリング周波数 f_s に対応する特性係数(イニシャライズ時のサンプリング周波数 f_s に対応する特性係数が書換可能なメモリに記憶されている状態の場合は、他方の特性係数)を選択して(ステップ211)、係数設定部(第3図中の転送バッファTB)に書込み(ステップ212)リターンする。

このようにして特性入力部CIDに設定された所望のフィルタ特性と対応して、各周波数帯域毎に設けられたフィルタ毎にデジタル・フィルタの係数が書換えられることにより、デジタル・データに対して所定のフィルタ特性を示すデジタル・

フィルタ装置が構成されるのである。

さて、本考案のデジタル・フィルタ装置では、前述したところからも明らかなように、入力のデジタル・オーディオ信号に対して所定のフィルタ特性を有するデジタル・フィルタ装置を構成させるのに、入力デジタル・データのサンプリング周期に対応して必要とされるフィルタ係数(特性係数)が、係数設定部(第3図中の転送バッファTB)から書換可能なメモリ(第3図中の係数RAM…NC-RAM)に転送された後に、前記した特性係数(一方のサンプリング周波数に対応している特性係数)とは別の他方のサンプリング周波数 f_s に対応している特性係数が選択されて、それが係数設定部(第3図中の転送バッファTB)に書込まれるようになされているので、入力デジタル・データが異なるサンプリング周期のものに変化したことが検出された場合には、前記のように予め係数設定部(第3図中の転送バッファTB)に設定されていた他方のサンプリング周波数 f_s に対応している特性係数が前記したサンプリング周期

の検出結果に応じて直ちに書換可能なメモリ(第3図中の係数RAM—NC—RAM)に転送されるので、本考案のデジタル・フィルタ装置では入力デジタル・データが異なるサンプリング周期のものに変更された場合にも、短時間の内にかつ、音の途切れがない状態でフィルタ特性の切換えが行われうるのであり、本考案によれば既述した従来の問題点は良好に解決されるのである。

前記の点を具体例について説明すると次のとおりである。すなわち、入力デジタル・データとして、そのサンプリング周波数が、32 KHz, 44.1 KHz, 48 KHzであるような3種類のものであったとした場合に、既述した一方のサンプリング周波数を44.1 KHz、他方のサンプリング周波数を48 KHz(32 KHzのサンプリング周波数によるデジタル・データは、高忠実度の音響信号の伝送、記録再生のためには使用されることが殆んどない)とし、また、イニシャライズ時に44.1 KHzのサンプリング周波数に対応する特性係数が係数設定部(第3図中の転送

バッファTB)に設定され、入力デジタル・データがサンプリング周波数が44.1 KHzであったために、イニシャライズ時に44.1 KHzのサンプリング周波数に対応する特性係数が設定されている係数設定部(第3図中の転送バッファTB)から書換可能なメモリ(第3図中の係数RAM…NC-RAM)にフィルタ係数が転送された場合には、直ちに他方のサンプリング周波数48 KHzに対応している特性係数が選択されて、それが係数設定部(第3図中の転送バッファTB)に設定されるようにし、次に入力デジタル・データが前記した他方のサンプリング周波数48 KHzのものに変化したことが検出された場合(検出はデジタル・データ中のチャンネル・ステータス(Cビット)を用いて行うことができる)には、前記のように予め係数設定部(第3図中の転送バッファTB)に設定されていたサンプリング周波数48 KHzに対応している特性係数が係数設定部(第3図中の転送バッファTB)から書換可能なメモリ(第3図中の係数RAM…NC-RAM)に転送さ

れ、またこの場合にはサンプリング周波数44.1KHzに対応している特性係数が選択されて、それが係数設定部(第3図中の転送バッファTB)に設定されるようにされる、というような動作が行われるために、本考案のデジタル・フィルタ装置では入力デジタル・データが異なるサンプリング周期のものに変更された場合にも、短時間の内に、かつ、音の途切れがない状態でフィルタ特性の切換えが行われうるのであり、本考案によれば既述した従来の問題点は良好に解決されるのである。

なお、極めて稀にサンプリング周波数が32KHzであるようなデジタル・データが入力された場合であっても、第10図に示されている割込ルーチンにおける(ステップ208~212)に示されているような信号処理動作は支障なく行われうるのである。

さて、中央演算処理装置CPUが例えばRS232Cのシリアルフォーマットにより第1図のシリアル転送部STDを介してデジタル・シグナル・

プロセッサDSPシリアルコード入力端子cからデジタル・フィルタの係数データを送ると、そのデジタル・フィルタの係数データは第3図中のシリアルコード・インターフェースSCIとパラメータ制御部PCDとを介して転送バッファTBに送られる。

第5図の(a)は転送バッファTBのマップを例示したものであって、この第5図の(a)ではアドレス0～3の記憶部分にデジタル・フィルタの係数データa₁₀が格納され、また、アドレス4～7の記憶部分にデジタル・フィルタの係数データa₁₁が格納されるというように、順次のアドレスで指定される記憶部分にデジタル・フィルタの係数データが順次に格納され、アドレス{4×(5n-1)}～{4×(5n-1)+3}で指定された記憶部分にはデジタル・フィルタの係数データb_{n2}が格納されている例を示している。

また第5図の(b)は係数RAM(NC-RAM)のマップを例示したものであって、この第5図の(b)ではアドレス0～1の記憶部分にデジタル・

フィルタの係数データ a_{10} が格納され、また、アドレス 2 ～ 3 の記憶部分にデジタル・フィルタの係数データ a_{11} が格納されるというように、順次のアドレスで指定される記憶部分にデジタル・フィルタの係数データが順次に格納され、アドレス $\{2 \times (5n - 1)\} \sim \{2 \times (5n - 1) + 1\}$ で指定された記憶部分にはデジタル・フィルタの係数データ b_{n2} が格納されている例を示している。

前記した第 5 図の (a) に例示した転送バッファ T B のマップと、第 5 図の (b) に例示した係数 R A M (N C - R A M) のマップとにおいて、同じデジタル・フィルタの係数データが格納されるべき記憶部分のアドレスが異なっているのは、各デジタル・フィルタの係数データが 32 ビット (8 ビット \times 4) である場合に、転送バッファ T B は 1 番地当り 8 ビット、係数 R A M (N C - R A M) は 1 番地当り 16 ビットの記憶容量のものが使用されていたとした場合を例示したものである。

前記したアドレスは第 8 図の (i) に示されているような 4 バイト命令セットのシリアルデータの

3番目で指定し、また、前記したデジタル・フィルタの係数データは第8図の(i)に示されているような4バイト命令セットのシリアルデータの4番目で指定する。

前記したデジタル・フィルタの係数データの語長が前述の例のように32ビットの場合には、デジタル・フィルタの係数データを8ビットずつ4回に分けて送る。なお、第8図の(i)に示されているような4バイト命令セットのシリアルデータの第1番目のコード1と第2番目のコード2とはチップイネーブル用のものであり、これはどのデジタル・シグナル・プロセッサDSPを選択するのか等を区別するために用いられる。

第8図の(h)のCRSバーはシリアルコードの転送開始を知らせるスタート信号であり、このシリアルコードの転送開始のスタート信号CRSバーはシリアルコードの転送部STDからシリアルコード・インターフェースSCIの入力端子hに印加される。また、第8図の(j)のパルスPdは受信部RDで行われるサンプリング周期の検出部

において、デジタル・データ中のチャンネル・ステータス(Cビット)によって発生させた検出信号である。

第1図示のデジタル・フィルタ装置中に示されている2つのデジタル・シグナル・プロセッサDSP、すなわち、ステレオ信号における左チャンネル信号に対して特性入力部CIDに設定された所望のフィルタ特性を実現すべくデジタル・フィルタ演算を行ってデジタル・フィルタとして機能するような動作を行うデジタル・シグナル・プロセッサDSP_lと、ステレオ信号における右チャンネル信号に対して特性入力部CIDに設定された所望のフィルタ特性を実現すべくデジタル・フィルタ演算を行ってデジタル・フィルタとして機能するような動作を行うデジタル・シグナル・プロセッサDSP_rとは、それぞれ前述したような動作態様での動作を行う。

そして、第1図示のデジタル・フィルタ装置に示されている前記したデジタル・シグナル・プロセッサDSP_rのシリアルコード・インターフェ

ース出力端子 d には、デジタル・シグナル・プロセッサ DSP_L におけるシリアルコード・インターフェース SCI の入力端子 c が接続されているから、デジタル・シグナル・プロセッサ DSP_L 、 DSP_r におけるそれぞれの転送バッファ TB に送られたデジタル・フィルタの係数データは、それまでに既に送られているデジタル・フィルタの係数データとともに、中央演算処理装置 CPU からパラメータ制御部 PCD のトリガ入力端子 g に供給された外部同期信号(切換パルス)によりトリガーされて、係数 $RAM(NC-RAM)$ に単位フィルタ毎である 5 ワードずつ送られる。これは 1 サンプル周期で完了される。

なお、前記したデジタル・シグナル・プロセッサ DSP_L 、 DSP_r のプログラム命令サイクルを決定するクロック信号は、受信部 RD において発生するサンプリングパルスの周波数の 64 倍の周波数のクロック信号 f_g {第8図の(g)} が用いられ、そのクロック信号 f_g はクロック入力端子 f に供給される。

第1図中のSCGはシリアル転送部STDの転送速度に対応した周波数のクロック信号を発生するクロック信号の発生回路であり、前記したクロック信号の発生回路SCGで発生されたクロック信号はデジタル・シグナル・プロセッサDSPのシリアルコード・インターフェースSCIのシリアルコードタイミング信号の入力端子eに供給される。

第1図示のデジタル・フィルタ装置のタイミングチャートを示す第8図において、デジタル・シグナル・プロセッサDSP₂は時刻t₁でデジタル・フィルタの係数データを取込むと同時に、それ以前のデジタル・フィルタの係数データの演算結果を出力し、デジタル・シグナル・プロセッサDSP_rからの出力とともに第1図中のデータ・セレクタSELで左右2チャンネルの時分割信号(8図の(a)の形式)とされた後に、送信部TDにおいてオーディオデータ変調機能と、送信機能を有する送信部TDにおいてデジタルオーディオインターフェースフォーマットに変換されてから出力端

子 2 に送出される。

なお、入力端子 1 からデジタルオーディオインターフェースフォーマットで伝送されてきたデジタルデータは、受信部 RD で NRZ に復調されたシリアルデジタルオーディオデータ (第 8 図の (a)) とされて、2 つのデジタル・シグナル・プロセッサ DSP_ℓ, DSP_r の各入力端子 a に印加されるとともに、前記した受信部 RD においてはチャンネル識別信号 L R C K, ワード識別信号 W C K 等のタイミング信号を復調して、それを、2 つのデジタル・シグナル・プロセッサ DSP_ℓ, DSP_r と送信部 TD とに供給することにより、前記の各構成部分が相互に同期して動作できるようにする。

次に、デジタル・フィルタ装置として、各フィルタの通過帯域の中心周波数が、それぞれ、31.5 Hz, 63 Hz, 125 Hz, 250 Hz, 500 Hz, 1 KHz, 2 KHz, 4 KHz, 8 KHz, 16 KHz であるような $n = 10$ のものについて、それに供給される入力デジタル・データにおけるサンプリン

グ周波数 f_s が 44.1 KHz の場合と 48 KHz の場合とを考え、通過帯域中心周波数が 1 KHz で共振の鋭どさ Q が 1.03 のフィルタにより信号を +10 Db だけ増強するようにさせる場合のベル型デジタル・フィルタを構成するバイクワッドフィルタ部 FLT6 のフィルタ係数を一例として示すと次のとおりである。

FLT6 フィルタ係数(デジタル・データのサンプリング周波数が 44.1 KHz の場合)

$$a_{60} = 1.13943322402$$

$$a_{61} = -1.85207289372$$

$$a_{62} = 0.73159794431$$

$$b_{61} = 1.85207289372$$

$$b_{62} = -0.87103116833$$

FLT6 フィルタ係数(デジタル・データのサンプリング周波数が 48 KHz の場合)

$$a_{60} = 1.12884295604$$

$$a_{61} = -1.85473589996$$

$$a_{62} = 0.75198367572$$

$$b_{61} = 1.86473589996$$

$$b62 = -0.88082663176$$

なお、使用されるべきデジタル・シグナル・プロセッサDSPとしても、既述したような構成態様のものに限られるものではなく、要するにデジタル・シグナル・プロセッサDSPはプログラマブルなデジタル信号演算手段の一実施態様に過ぎないのである。また、これまでの実施例においてはデジタル信号入力及びデジタル信号出力のシステムについて説明したが、本考案の実施はそのようなシステム形態のものに限定されるものではなく、例えば入力側にADコンバータ、出力側にDAコンバータを用いて、アナログ信号入力及びアナログ信号出力としたシステムについても本考案が適用できることは勿論である。

(考案の効果)

以上、詳細に説明したところから明らかなように、本考案のデジタル・フィルタ装置は所望のフィルタ特性を指定する特性入力部と、デジタル・データの入力部と、入力デジタル・データのサンプリング周期を検出する手段と、デジタル・デー

タの出力部と、前記の特性入力部で指定された情報に応じてデジタル・フィルタの係数データを設定するデジタル・フィルタの係数データ設定手段と、前記したデジタル・フィルタの係数データ設定手段により前記したデジタル・フィルタの係数データを設定するデジタル・フィルタの係数データ設定部と、前記したデジタル・フィルタの係数データを記憶する書換可能な係数メモリと、前記のデジタル・フィルタの係数データ設定部に設定されたデジタル・フィルタの係数データを前記の書換可能な係数メモリに転送するように制御する制御手段と、前記の書換可能な係数メモリに記憶された前記したデジタル・フィルタの係数データを用いてデジタル信号に演算を施こして得た演算結果を出力するデジタル信号演算手段とを有するとともに、入力デジタル・データのサンプリング周期の検出結果に応じて、デジタル・フィルタの係数データ設定部に設定されていた一方のサンプリング周期を有するデジタル・データと対応するデジタル・フィルタの係数データを前記の書換可

能な係数メモリに転送するように前記の制御手段を制御する手段と、デジタル・フィルタの係数データ設定部から書換可能な係数メモリに転送された前記した一方のサンプリング周期を有するデジタル・データと対応するデジタル・フィルタの係数データとは別の他方のサンプリング周期のデジタル・データに対応しているデジタル・フィルタの係数データを、前記したデジタル・フィルタの係数データ設定部に設定するように前記デジタル・フィルタの係数設定手段を制御する手段とを備えてなるデジタル・フィルタ装置であるから、本考案のデジタル・フィルタ装置では特性入力部C I Dに対して設定されたそれぞれ所望のフィルタ特性と対応して、各周波数帯域毎に設けられたフィルタ毎にデジタル・フィルタの係数が書換えられることにより、デジタル・データに対して所定のフィルタ特性を示すデジタル・フィルタ装置が構成されるのであって、本考案装置では入力のデジタル・オーディオ信号に対して所定のフィルタ特性を有するデジタル・フィルタ装置を構成させる

のに、入力デジタル・データのサンプリング周期に対応してそれぞれ必要とされる個別のフィルタ係数(特性係数)が、係数設定部(第3図中の転送バッファTB)から書換可能なメモリ(第3図中の係数RAM…NC-RAM)に転送された後に、前記した特性係数(一方のサンプリング周波数に対応している特性係数)とは別の他方のサンプリング周波数 f_s に対応している特性係数が選択されて、それが係数設定部(第3図中の転送バッファTB)に書込まれているようになされているので、入力デジタル・データが異なるサンプリング周期のものに変化したことが検出された場合には、前記のように予め係数設定部(第3図中の転送バッファTB)に設定されていた他方のサンプリング周波数 f_s に対応している特性係数が前記したサンプリング周期の検出結果に応じて直ちに書換可能なメモリ(第3図中の係数RAM…NC-RAM)に転送されるので、本考案のデジタル・フィルタ装置では入力デジタル・データが異なるサンプリング周期のものに変更された場合にも、短

時間の内にかつ、音の途切れがない状態でフィルタ特性の切換えが行われうるのであり、本考案によれば既述した従来の問題点は良好に解決されるのである。

4. 図面の簡単な説明

第1図は本考案のデジタル・フィルタ装置の一実施例のブロック図、第2図はフィルタ特性の一例図、第3図はデジタル・シグナル・プロセッサの一例構成を示すブロック図、第4図は周波数帯域毎のフィルタ特性を表示するための表示部における表示状態の一例を示す図、第5図は係数設定部と係数メモリにおけるメモリマップの一例図、第6図はデジタル・フィルタ装置の一例特性を説明するための図、第7図はデジタル・シグナル・プロセッサの動作によって得られるべきフィルタの構成を示すブロック図、第8図は本考案のデジタル・フィルタ装置の動作説明用のタイミングチャート、第9図及び第10図は中央処理装置(CPU)の動作説明用のフローチャートである。

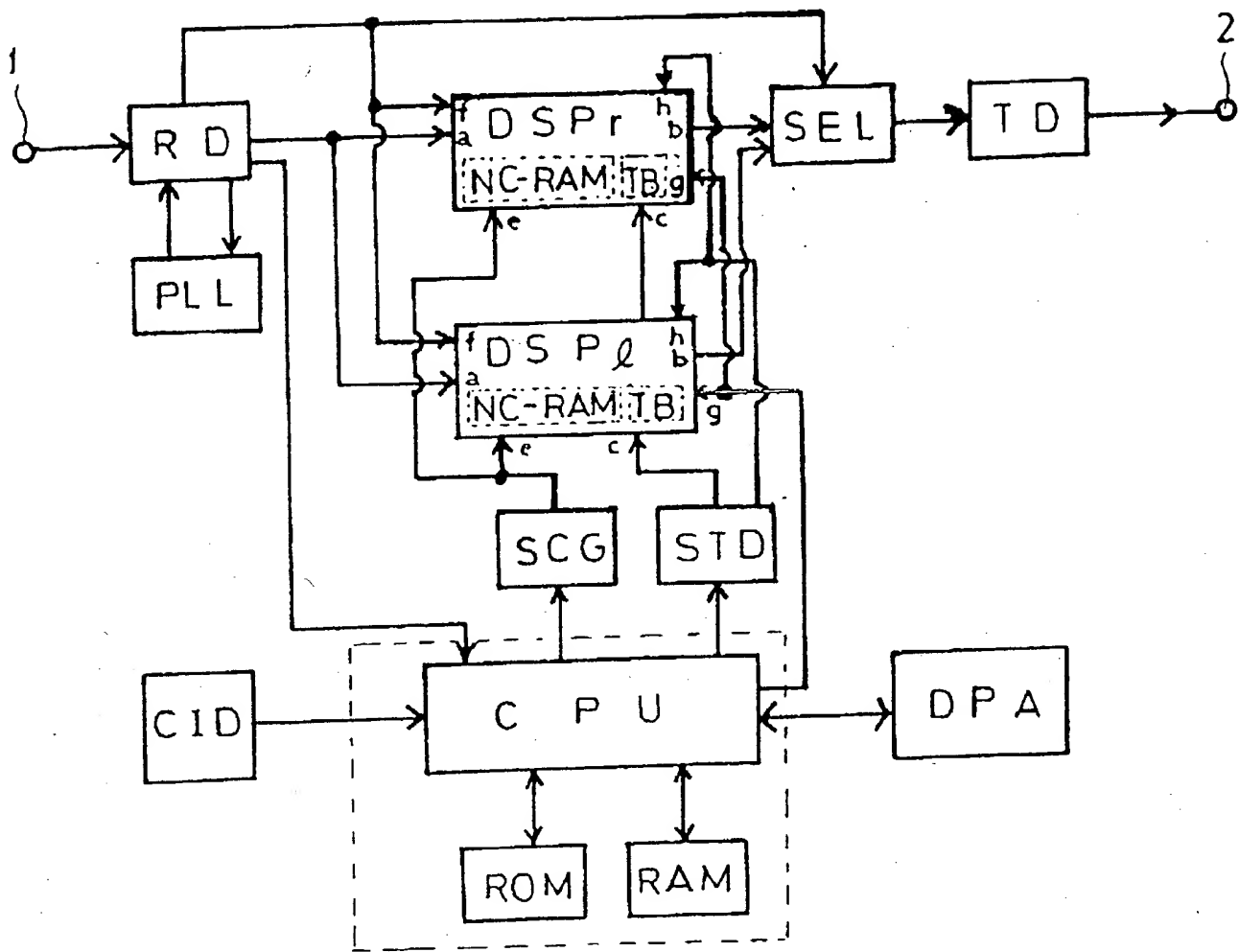
1…デジタル信号の入力端子、2…出力端子、

3…入力端子、4…単位遅延演算子、5…乗算回路、6…加算回路、7…出力端子、RD…受信部、PLL…フェーズ・ロックド・ループ、DSP_ℓ, DSP_r…デジタル・シグナル・プロセッサ、CID…特性入力部、DPA…表示部、CPU…中央演算処理装置、ROM…リードオンリーメモリ、RAM…ランダムアクセスメモリ、STD…シリアルコードの転送部、SCG…クロック信号の発生回路、SEL…データ・セレクタ、TD…送信部、SDI…シリアル・データの入力回路、IB…入力バッファ、NC-RAM…係数RAM、TB…転送バッファ、PCD…パラメータ制御部、P-RAM…プログラムRAM、SDO…シリアルデータの出力回路、SCI…シリアルコード・インターフェース、D-RAM…データRAM、FN-ROM…定数のメモリ用ROM、MUL…乗算器、ACC…アキュムレータ、REG…シフタ付レジスタ、OB…出力バッファ、BCLK…データクロック信号、LRCK…チャンネル識別信号、FLT₁~FLT_n…同一構成

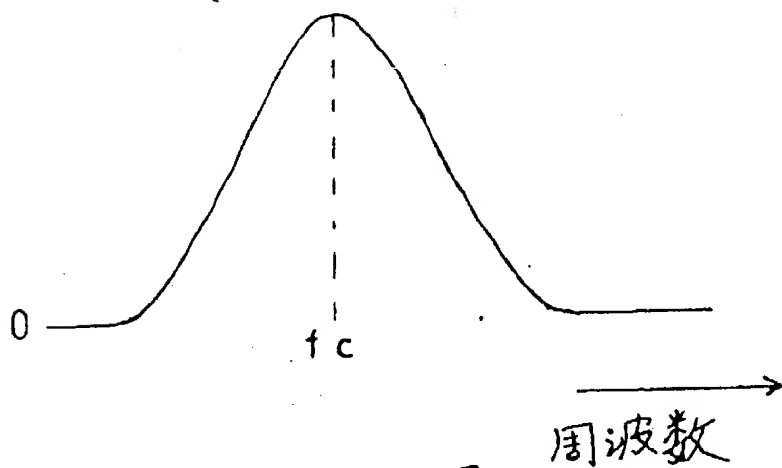
の n 個のバイクワッドフィルタ部、

実用新案登録出願人 日本ビクター株式会社

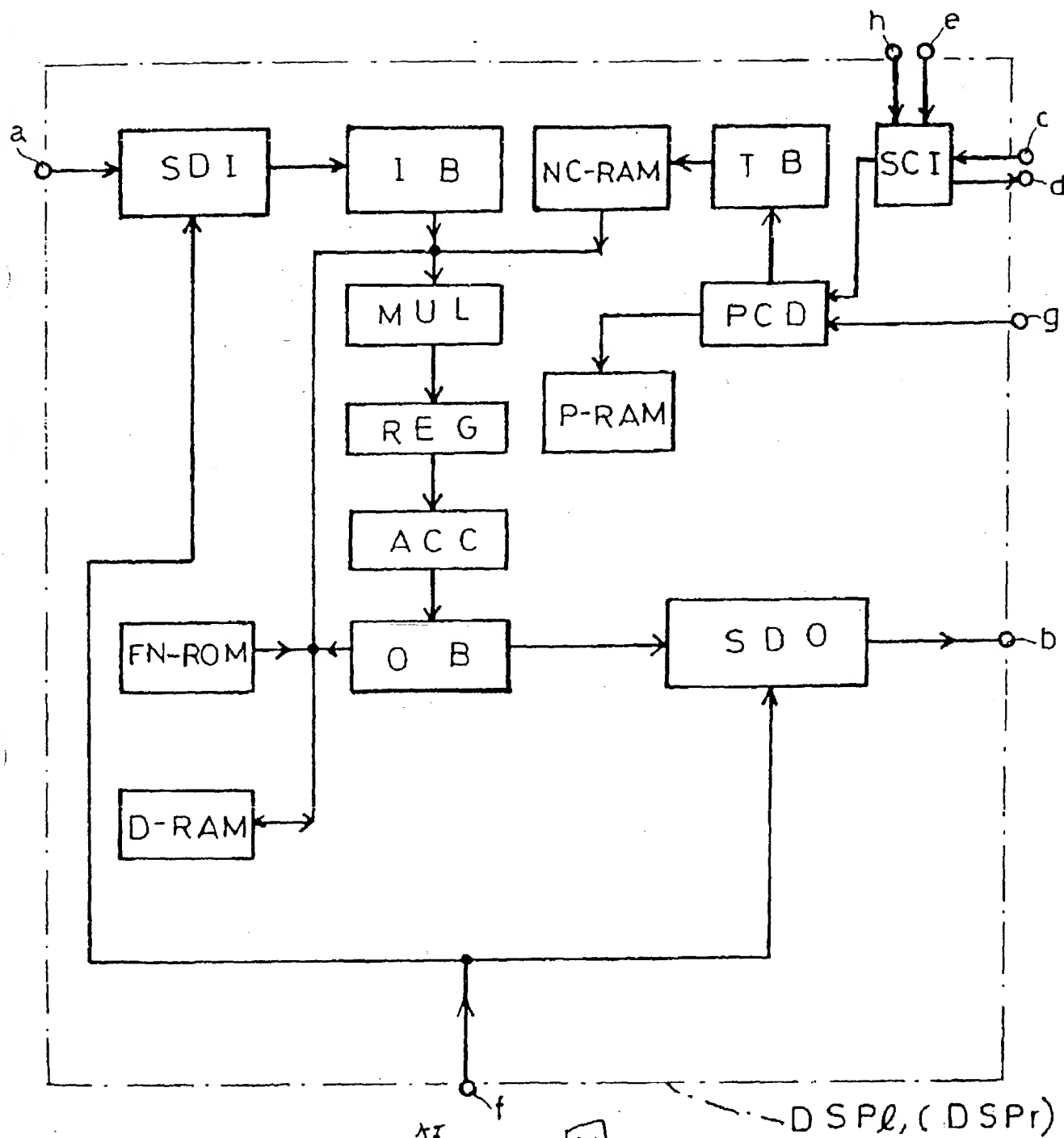
代理人 弁理士 今 間 孝 生



第 1 図



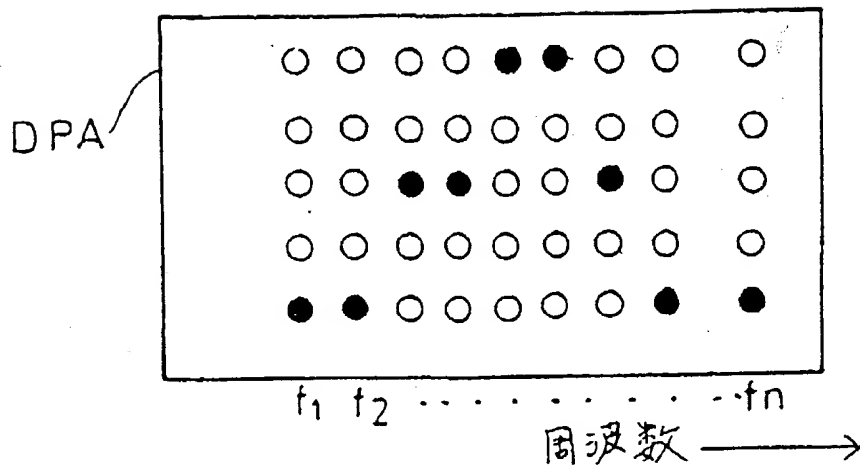
第 2 図



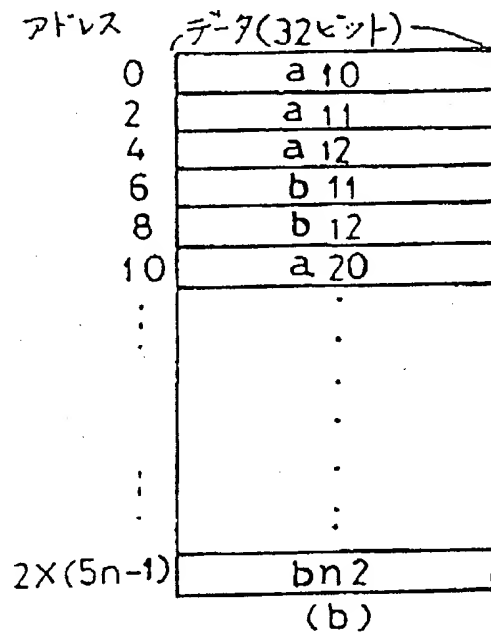
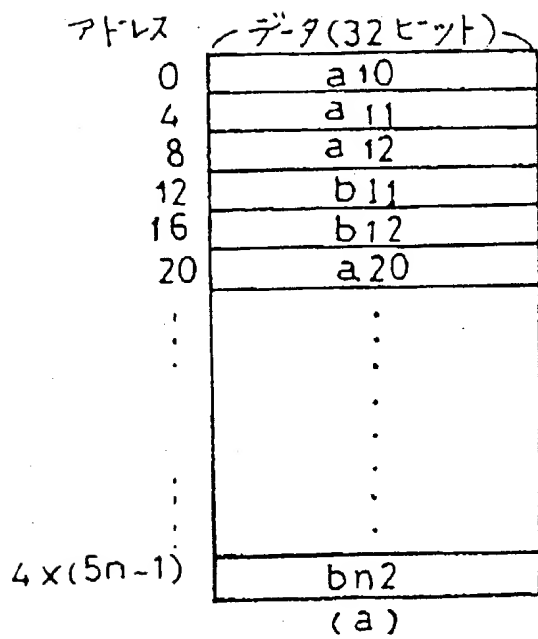
第 3 図

DSP ℓ , (DSP r)

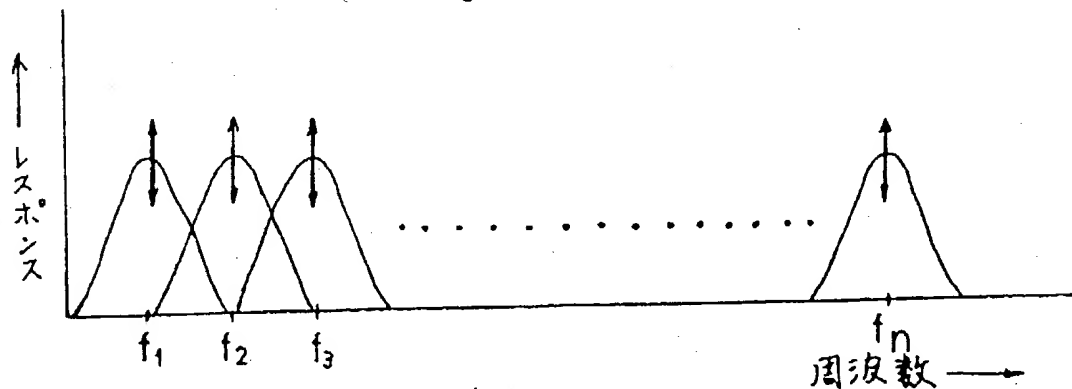
301



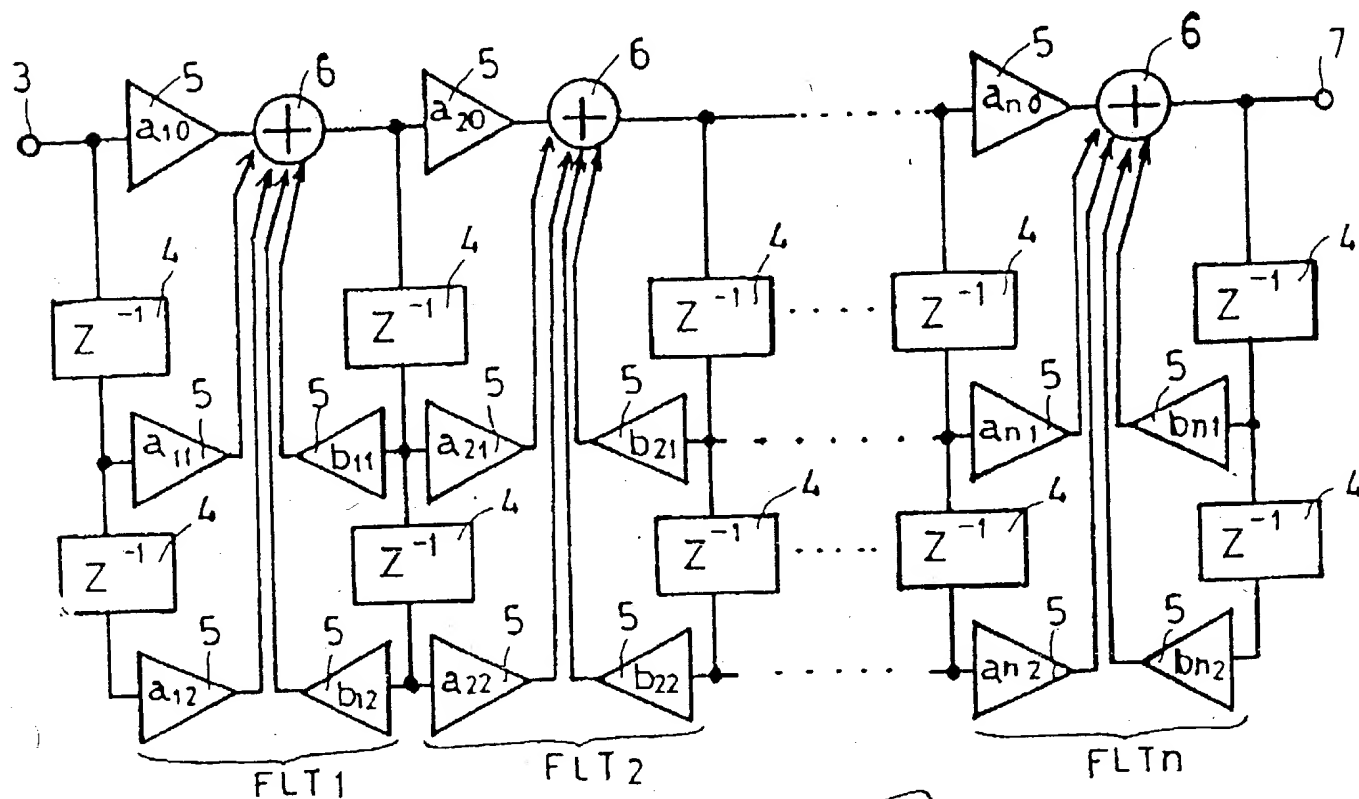
第 4 図



第 5 図

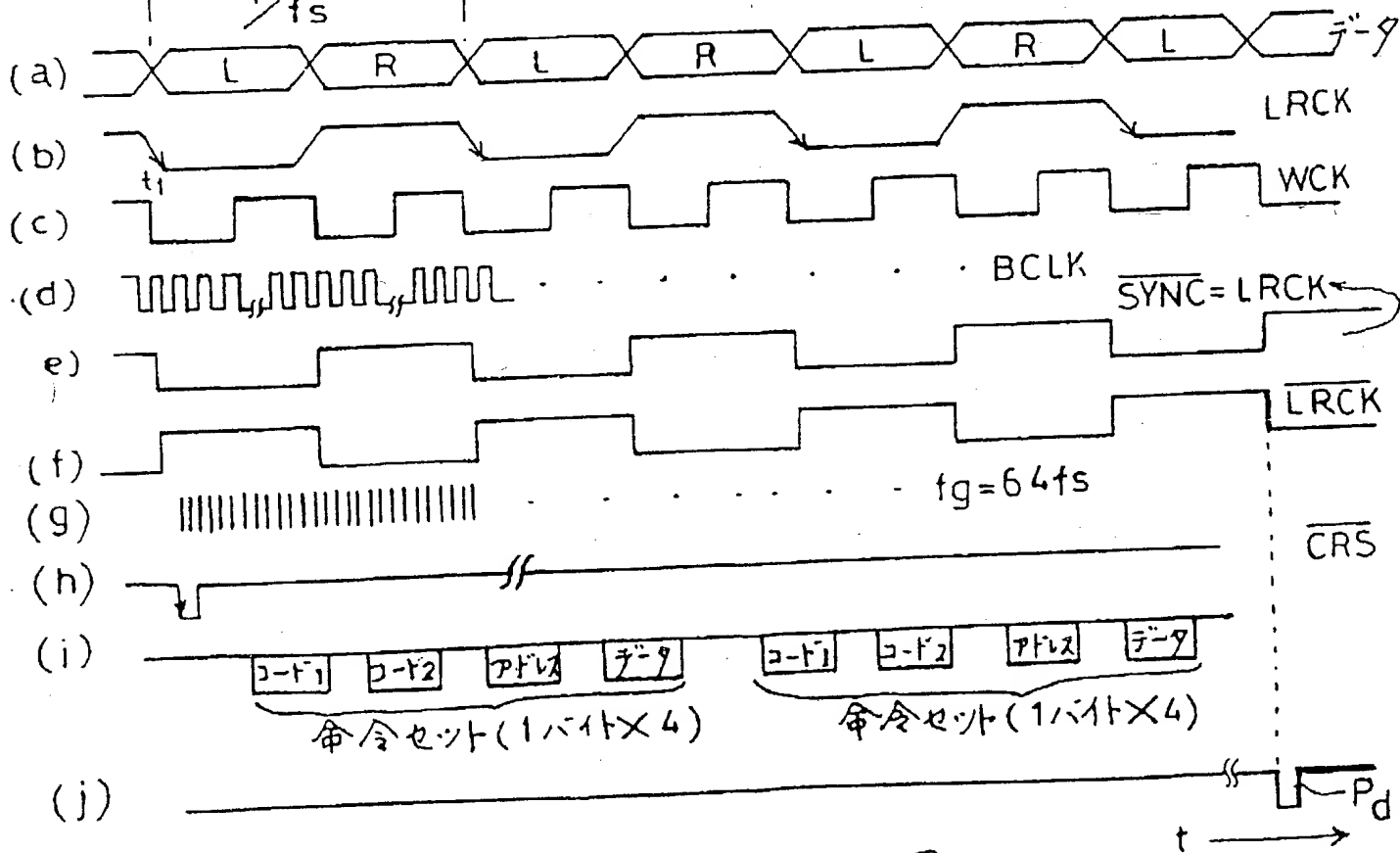


第 6 図



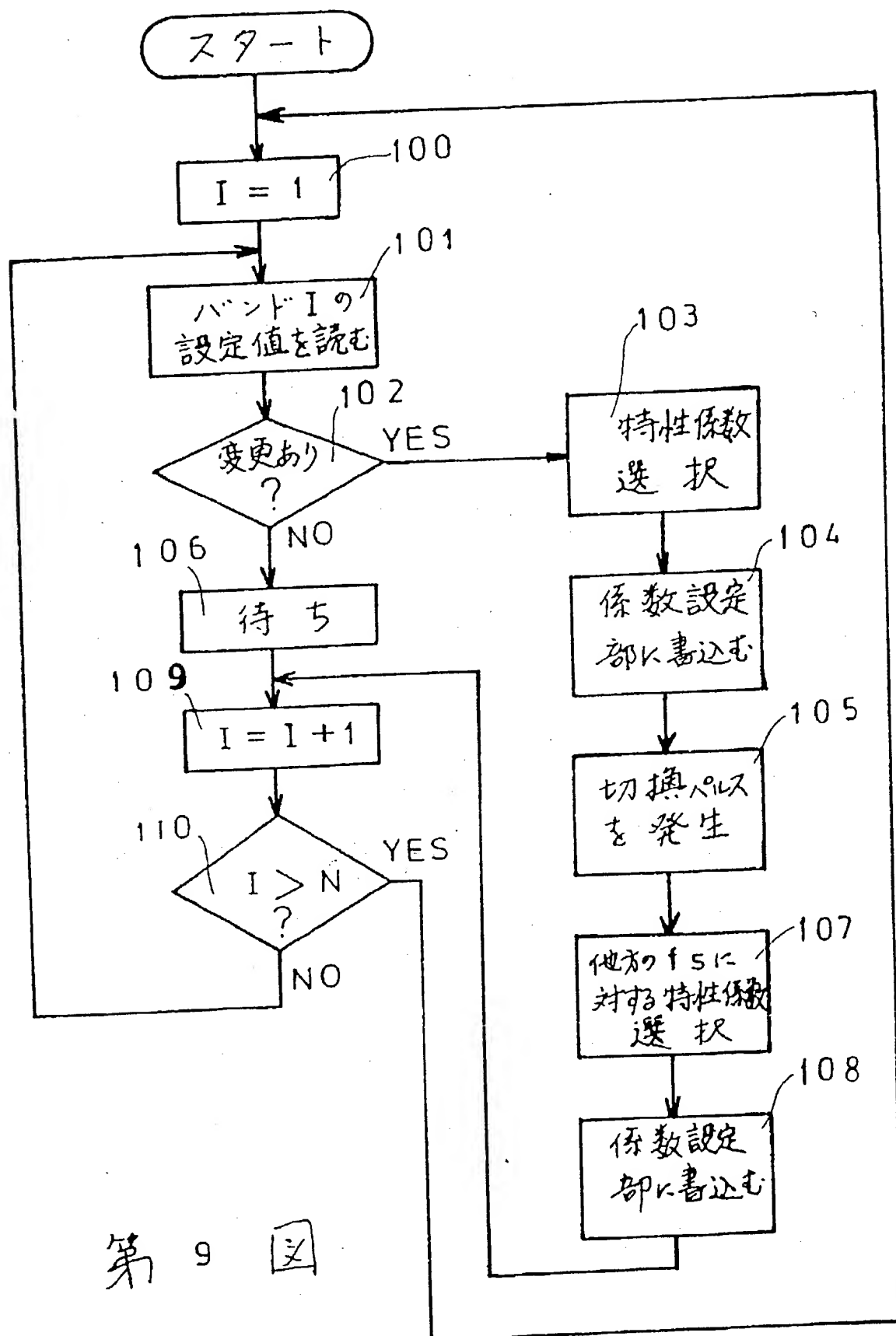
第 7 図

1 サンプル 周期
 $1/f_s$



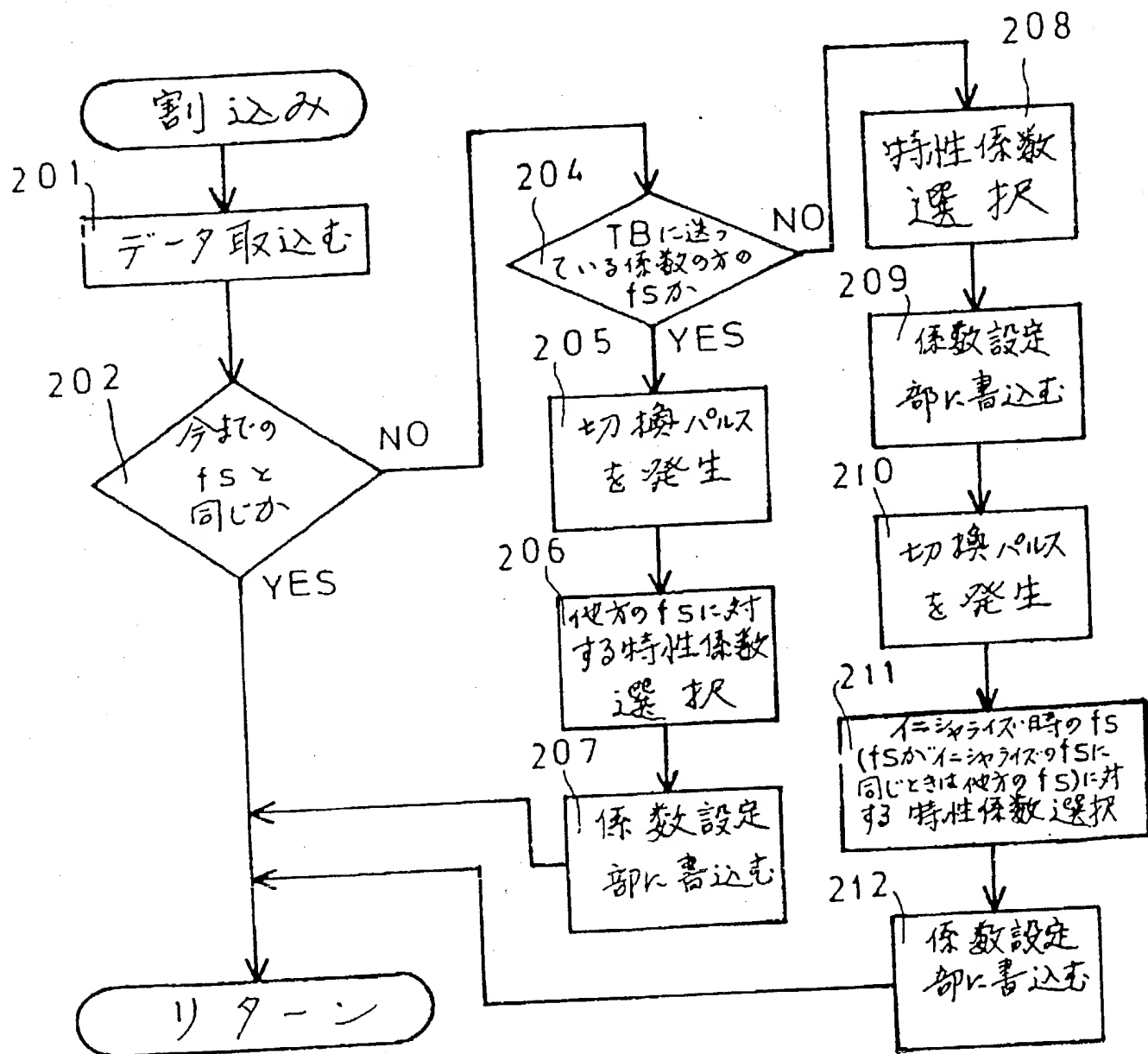
第 8 図

実用 63-150028



第 9 図

304



第10図

305

手続補正書 (自発)

昭和62年5月8日

特許庁長官 黒田明雄 殿

1. 事件の表示

昭和62年実用新案登録願第49369号

2. 考案の名称

デジタル・フィルタ装置

3. 補正をする者

事件との関係 実用新案登録出願人

住 所 神奈川県横浜市神奈川区守屋町3丁目12番地

名 称 (432) 日本ビクター株式会社

4. 代理人

住 所 東京都品川区東品川3丁目4番19-915号

氏 名 (7137) 弁理士 今間孝生

電話03(472)2250番

ファクシミリ03(472)2257番

5. 補正命令の日付 (自発)

6. 補正の対象 明細書の考案の詳細な説明の欄

7. 補正の内容 (1)明細書第17頁第3行「インクメ」を

「インクリメ」に補正する。

(2)明細書第18頁第5行「インクメ」を「インクリメ」に補正する。

(3)明細書第31頁第4行「D b」を「d B」に補正する。

実開 63-158028 方式 審査



306

